

12 **DEMANDE DE BREVET EUROPEEN**

21 Numéro de dépôt: 81401252.2

51 Int. Cl.³: **G 01 R 29/033**
G 07 C 1/00, A 61 B 5/02

22 Date de dépôt: 03.08.81

30 Priorité: 07.08.80 FR 8017708

43 Date de publication de la demande:
17.02.82 Bulletin 82/7

84 Etats contractants désignés:
DE GB IT NL

71 Demandeur: Urien, Michel
rue du Park Moan Brélevenez
F-22300 Lannion(FR)

71 Demandeur: Theron, Guy Marie Pierre Jean
42 rue de Lorraine
F-22300 Lannion(FR)

72 Inventeur: Urien, Michel
rue du Park Moan Brélevenez
F-22300 Lannion(FR)

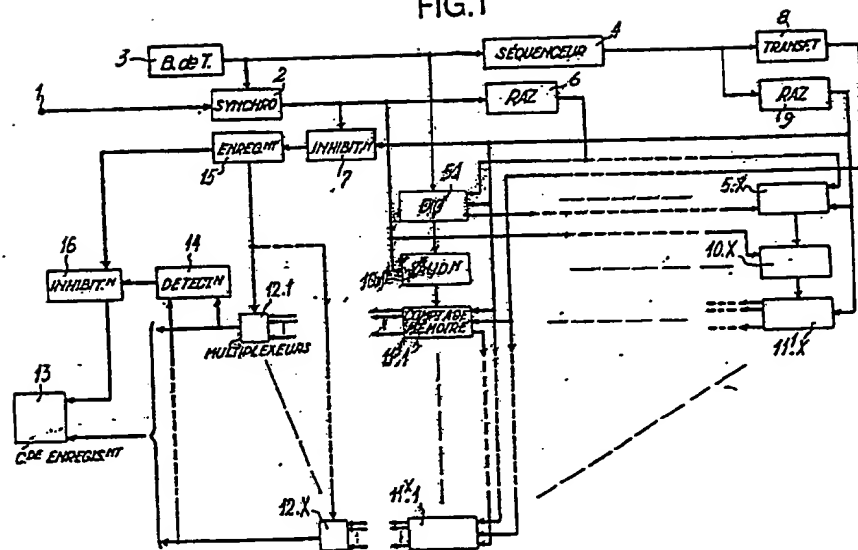
72 Inventeur: Theron, Guy Marie Pierre Jean
42 rue de Lorraine
F-22300 Lannion(FR)

74 Mandataire: Le Guen, Louis François
13, rue Emile Bara BP 91
F-35802 Dinard Cedex(FR)

54 Dispositif d'obtention de l'histogramme des distances dans le temps entre des événements successifs.

57 Le dispositif comprend une base de temps (3) dont la sortie est reliée à un premier ensemble de compteurs par dix (5.1 à 5.X) qui sont chacun associés à des moyens de détection du compteur de l'état du compteur qui compte et qui n'a pas encore débordé, un ensemble correspondant de portes ET (10.1 à 10.X) avec chacune une entrée reliée à la sortie des moyens de détection (5.1 à 5.X) correspondants et l'autre entrée reliée à la source des événements (2). L'entrée RAZ des moyens de détection est reliée à la source (2), à travers un circuit à retard (6). La sortie de chaque porte ET (10.1 à 10.X) est reliée à un second ensemble de compteurs par dix (11¹.1 à 11^X.1), chacun associé à une mémoire. Un séquenceur (4) a son entrée reliée à la base de temps (3) et sa sortie aux moyens de commande de transfert du contenu de chaque compteur du second ensemble (11¹.1 à 11^X.1) à sa mémoire associée. Des moyens de lecture (12.1 à 12.X) lisent les contenus des mémoires vers un appareil d'enregistrement. Un second circuit à retard (9) a son entrée reliée à la sortie du séquenceur (4) et sa sortie aux entrées RAZ des compteurs. Les moyens de lecture comprennent un ensemble de multiplexeurs dont les entrées sont sélectivement reliées aux sorties des mémoires.

FIG.1



Dispositif d'obtention de l'histogramme des distances
dans le temps entre événements successifs

La présente invention concerne un dispositif permettant d'obtenir l'histogramme des distances dans le temps entre des événements successifs.

Dans les dispositifs ou les appareillages de mesure connus de
5 ce genre, on compte simplement le nombre d'événements apparaissant durant une période de temps donnée, puis on calcule le rapport entre le nombre d'événements apparus et le nombre d'unités de temps de la période donnée.

De tels dispositifs connus ne permettent pas d'effectuer une
10 analyse fine des événements apparaissant par paquets ou apparaissant regroupés dans le temps.

D'autres systèmes d'analyse connus ne permettent que l'enregistrement des distances entre événements successifs, si bien que l'histogramme des distances ne peut être obtenu qu'en temps différé.

15 Un objet de la présente invention consiste à prévoir un dispositif capable d'établir en temps réel, d'une manière continue, sans perte d'informations, les histogrammes des distances entre événements successifs.

Un autre objet de l'invention consiste à prévoir un dispositif

capable d'effectuer l'analyse fine et le classement d'événements apparaissant regroupés par paquets.

Un autre objet de l'invention consiste à prévoir un tel dispositif qui puisse être associé à un circuit approprié permettant de
5 connaître l'apparition des paquets d'événements, et à un enregistreur de résultats.

Suivant une caractéristique de l'invention, il est prévu un dispositif comprenant une base de temps dont la sortie est reliée à un premier ensemble de compteurs par dix qui sont chacun associés à
10 des moyens de détection du compteur de l'état du compteur qui compte et qui n'a pas encore débordé, un ensemble correspondant de portes ET avec chacune une entrée reliée à la sortie des moyens de détection correspondant et l'autre entrée reliée à la source des événements, l'entrée RAZ des moyens de détection étant également reliée à ladite
15 source, à travers un circuit à retard, la sortie de chaque porte ET étant reliée à un second ensemble de compteurs par dix, chacun associé à une mémoire, un séquenceur dont l'entrée est reliée à la base de temps et dont la sortie est reliée aux moyens de commande de transfert du contenu de chaque compteur du second ensemble à sa
20 mémoire associée, des moyens de lecture des contenus des mémoires vers un appareil d'enregistrement, un second circuit à retard dont l'entrée est reliée à la sortie du séquenceur et la sortie aux entrées RAZ des compteurs.

Les caractéristiques de l'invention mentionnées ci-dessus, ainsi que d'autres, apparaîtront plus clairement à la lecture de la description d'un exemple de réalisation, ladite description étant faite en relation avec les dessins joints, parmi lesquels:

la Fig. 1 est un bloc-diagramme général d'un dispositif suivant l'invention,

30 la Fig. 2 est une vue schématique de l'ensemble des circuits de comptage et de mémoire du dispositif de la Fig. 1,

les Figs. 3a à 3g sont des diagrammes temporels illustrant le fonctionnement du dispositif de la Fig. 1, et

les Figs. 4 à 7 sont des schémas-blocs plus détaillés de
35 circuits du dispositif de la Fig. 1.

A la Fig. 1, les événements dont les distances sont à analyser sont appliqués, sous forme de signaux logiques, à la borne 1 qui est reliée à une entrée d'un circuit de synchronisation 2 dont la seconde

entrée est reliée à la sortie d'une base de temps 3. La sortie de la
5 base de temps 3 est encore reliée à l'entrée d'un séquenceur 4 et à
l'entrée d'un circuit de détermination d'intervalle de comptage ou
circuit DIC 5.1. La sortie du circuit de synchronisation 2 est reliée
à l'entrée d'un premier circuit de remise à zéro ou circuit RAZ 6 et
à l'entrée d'un circuit d'inhibition 7. La sortie du séquenceur 4 est
10 reliée à l'entrée d'un circuit de transfert 8 et à l'entrée d'un
second circuit de remise à zéro ou circuit RAZ 9.

En fait, le dispositif comprend une batterie de circuits DIC
5.1 à 5.X, l'entrée de comptage d'un circuit DIC 5.j étant reliée à
la sortie de débordement du circuit DIC 5.(j-1). La sortie du circuit
15 RAZ 6 est reliée, en parallèle, aux entrées de remise à zéro des cir-
cuits DIC 5.1 à 5.X.

Le dispositif comprend encore une batterie de circuit de valida-
tion 10.1 à 10.X. Chaque entrée de signal d'un circuit de validation
10.1 à 10.X est respectivement reliée à la sortie de signal du
20 circuit DIC 5.1 à 5.X correspondant.

Le dispositif comprend encore un ensemble 11 de circuit de
comptage et de mémoire qui est montré plus en détail à la Fig. 2. Cet
ensemble 11 comprend les circuits $11^{1.1}$ à $11^{1.X}$, $11^{2.1}$ à $11^{2.(X-1)}$,
 $11^{3.1}$ à $11^{3.(X-2)}$, ..., $11^{(X-1).1}$ et $11^{(X-1).2}$, et $11^X.1$. Les entrées
25 des circuits $11^{1.1}$ à $11^{1.X}$ sont respectivement reliées aux sorties
des circuits 10.1 à 10.X. Les entrées des circuits $11^{2.1}$ à $11^{2.(X-1)}$
sont respectivement reliées aux sorties des circuits $11^{1.1}$ à
 $11^{1.(X-1)}$, et ainsi de suite l'entrée du circuit $11^X.1$ étant reliée à
la sortie du circuit $11^{(X-1).1}$.

30 Par ailleurs, les sorties des circuits $11^{1.1}$ à $11^{1.X}$ sont
reliées en parallèle aux entrées de signal d'un multiplexeur 12.1. De
même, les sorties des circuits $11^{2.1}$ à $11^{2.(X-1)}$ sont reliées, en
parallèle, à l'entrée d'un multiplexeur 12.2, et ainsi de suite, la
sortie du circuit $11^X.1$ étant reliée à l'entrée du multiplexeur 12.X.

35 Les sorties des multiplexeurs 12.1 à 12.X sont respectivement
reliées aux entrées correspondantes d'un appareil d'enregistrement
13. Elles sont également reliées, en parallèle, à l'entrée d'un
circuit de détection 14.

La sortie du circuit de transfert 8 est reliée en parallèle aux
entrées de commande de transfert des circuits $11^{1.1}$ à $11^X.1$. La
sortie du circuit RAZ 9 est également reliée, en parallèle, aux

entrées de remise à zéro des circuits $11^1.1$ à $11^X.1$.

Enfin, la sortie du circuit de synchronisation 2 est encore reliée aux entrées de validation des circuits de validation 10.1 à 10.X. L'entrée de validation du circuit d'inhibition 7 est reliée à la sortie du circuit RAZ 9 et sa sortie est reliée à l'entrée de validation d'un circuit d'enregistrement 15 dont une sortie est reliée à l'entrée d'un circuit d'inhibition 16 et dont l'autre sortie est reliée, en parallèle, aux entrées de commande des multiplexeurs 12.1 à 12.X. La sortie du circuit de détection 14 est reliée à l'entrée d'inhibition du circuit d'inhibition 16 dont la sortie est reliée à l'entrée de commande de l'appareil d'enregistrement 13.

La base de temps 3 est constituée, par exemple, par un oscillateur à quartz délivrant des impulsions à une fréquence qui est au moins égale à la fréquence maximale à laquelle les événements à dénombrer peuvent se présenter.

Le circuit de synchronisation 2 est un circuit classique qui, pour chaque signal appliqué en 1, délivre à sa sortie un signal en phase avec l'impulsion de base de temps qui suit immédiatement l'application du signal en 1. En pratique, le circuit 2 se compose d'une bascule RS 17, Fig. 4, dont l'entrée S est reliée à l'entrée 1, dont la sortie Q est reliée à l'entrée D d'une bascule D 18 dont l'entrée H est reliée à la sortie de la base de temps 3. L'entrée R de 17 est également reliée à la sortie de 3. Ainsi la bascule 17 est mise au travail par chaque signal reçu de 1 et la bascule 18 recopie l'état de 17 et est lue à chaque impulsion reçue de la base de temps, la première bascule étant remise à l'état de repos à chaque lecture de la seconde bascule.

Le séquenceur 4 est un compteur qui fonctionne comme un diviseur de fréquence en délivrant périodiquement une impulsion aux circuits 8 et 9 afin de déclencher l'enregistrement dans l'appareil 13 des données en mémoire dans les circuits $11^1.1$ à $11^X.1$. La capacité du compteur du séquenceur 4, qui détermine la fréquence des impulsions délivrées à 8 et 9, est choisie en fonction de la vitesse maximale d'enregistrement de l'appareil enregistreur 13.

Le circuit de transfert 8 est un circuit monostable, fonctionnant en circuit à retard et qui délivre une impulsion, dite de transfert, un certain temps t après le signal émis par 4.

Le circuit RAZ 9 est également un circuit monostable, rem-

plissant également le rôle d'un circuit à retard. Le retard apporté par 9 est supérieur à celui apporté par 8, la différence de temps entre les deux correspondants aux temps alloués pour effectuer le transfert des données des circuits $11^1.1$ à $11^X.1$ vers les multiplexeurs 12.1 à 12.X.

Le circuit RAZ 6 est également un circuit monostable dont le rôle est d'apporter un retard qui couvre le temps d'enregistrement d'un événement dans un circuit $11^1.1$ à $11^1.X$.

Les circuits DIC 5.1 à 5.X sont des compteurs diviseurs par 10, montés en cascade. Ces compteurs déterminent donc chacun des fenêtres temporelles de durées multiples. Ainsi, le circuit DIC 5.1 détermine une fenêtre de durée égale à dix intervalles unitaires, un intervalle unitaire correspondant à la période de la base de temps 3. Le circuit DIC 5.2 détermine une fenêtre de durée allant de "11" à "100" intervalles unitaires, suivant l'instant initial, et ainsi de suite le circuit DIC 5.X déterminant une fenêtre allant de $(X + 1)$ à $10 X$ intervalles unitaires. Les circuits DIC 5.1 à 5.X comportent chacun une sortie d'état qui est à l'état de travail, quand une impulsion de comptage est appliquée au compteur au cours du premier cycle de comptage suivant une remise à zéro par le circuit 6 ou le circuit 9. En pratique, à titre d'exemple, le circuit DIC 5.1, Fig. 5, se compose d'un compteur par dix 19, d'une bascule D 20 dont l'entrée H est reliée à la sortie de compte "1" de 19 et dont l'entrée D est reliée à la sortie \bar{Q} d'une bascule RS 21 dont l'entrée S est reliée à la sortie de débordement de 19 et l'entrée R à la sortie d'une porte OU 38 dont une entrée est reliée à la sortie de 6 et l'autre à la sortie de 9. L'entrée de signal de 19 est reliée à la base de temps 3. L'entrée RAZ de 19 est reliée à la sortie de 38.

Les circuits de validation 10.1 à 10.X sont constitués chacun par des circuits ET dont une entrée est reliée à la sortie du circuit 2 et l'autre entrée à la sortie du compteur 5.1 à 5.X correspondant.

Comme le montre la Fig. 6, le circuit $11^1.1$ comprend un compteur 22 dont l'entrée de signal est reliée à la sortie du circuit de validation 10.1, dont l'entrée de remise à zéro est reliée à la sortie du circuit RAZ 9, dont la sortie de débordement est reliée à l'entrée de signal du compteur correspondant 22 du circuit $11^2.1$, dont les sorties de compte sont reliées aux entrées correspondantes d'une mémoire 23 et dont l'entrée de commande de transfert est reliée

à la sortie du circuit de transfert 8. Les sorties de la mémoire 23 sont reliées aux entrées correspondantes du multiplexeur correspondant. Bien entendu, les autres circuits $11^{1.2}$ à $11^{X.1}$ comprennent également chacun un compteur 22 et une mémoire 23. Pour tous les circuits $11^{1.1}$ à $11^{1.X}$, les entrées de signal des compteurs 22 sont respectivement reliées aux sorties des circuits de validation correspondant. Pour les autres circuits $11^{2.1}$ à $11^{X.1}$, les entrées de signal des compteurs 22 sont respectivement reliées aux sorties de débordement des compteurs 22 des circuits de rangs immédiatement inférieurs.

Comme le montre la Fig. 2, l'ensemble 11 est constitué par une matrice triangulaire de circuits, dont les circuits de rang 1 sont au nombre de X, les circuits de rang 2 au nombre de (X - 1), ..., et les circuits de rang X au nombre de 1.

Chaque compteur 22 compte jusqu'à 10, si bien que les compteurs 22 d'une colonne de la matrice de la Fig. 2 forment une cascade de diviseurs par dix. Chaque mémoire 23 est constituée par quatre bascules D. Les sorties de signal des compteurs 22 sont évidemment au nombre de quatre pour le codage binaire d'un nombre de 0 à 9. Le transfert du compte contenu dans un compteur 22 vers sa mémoire associée 23 est effectué à chaque impulsion émise par le circuit 8. Les comptes ainsi transférés restent emmagasinés dans les mémoires 23 jusqu'à l'ordre de transfert suivant.

Le circuit d'inhibition 7 est une bascule qui est mise à l'état de repos par la sortie du circuit RAZ. Dès qu'un signal d'événement est délivré par le circuit 2, la bascule 7 est mise à l'état de travail.

Le circuit d'inhibition 7 peut être une bascule RS 24, Fig. 7, dont l'entrée R est reliée à la sortie du circuit RAZ 9 et dont l'entrée S est reliée à la sortie du circuit 2. Dès qu'un signal d'événement est délivré par le circuit 2, la sortie Q de la bascule 23 est activée.

Le circuit de commande d'enregistrement 15, Fig. 7, comprend une porte ET 25 dont une entrée est reliée à la sortie Q de la bascule 24 et l'autre entrée à la sortie du circuit RAZ 9. La sortie de la porte ET 25 est reliée à l'entrée de remise à zéro d'un circuit de séquençement 26 qui est constitué par un compteur dont les sorties commandent les connexions des multiplexeurs 12.1 à $12.X$. L'entrée de

comptage du compteur 26 est reliée à la sortie d'une base de temps 27 dont la fréquence est choisie en fonction des caractéristiques de l'appareil enregistreur. La sortie de la porte ET 25 est encore reliée à l'entrée S d'une bascule RS 28 dont l'entrée R est reliée à la dernière sortie X du compteur 26.

Le circuit de détection 14 est une porte OU dont les entrées sont respectivement reliées aux sorties des multiplexeurs 12.1 à 12.X.

Le circuit d'inhibition 16 comprend une porte ET 29 dont une entrée est reliée à la sortie Q de la bascule 28 et l'autre entrée à la sortie de la porte OU 14. Il comprend encore une bascule RS 30 dont l'entrée S est reliée à la sortie de la porte ET 29 et l'entrée R à la sortie de la base de temps 27. La sortie Q de la bascule 30 est reliée à l'entrée de commande d'enregistrement de l'appareil 13.

On va tout d'abord décrire le fonctionnement des circuits concernant l'enregistrement proprement dit. On suppose qu'un ordre de transfert a été délivré par le circuit 8, ce qui entraîne, dans chaque mémoire 23 d'un circuit de validation, le transfert du compteur 22 dans cette mémoire. Un peu plus tard, le circuit RAZ 9 émet un signal qui remet les compteurs 22 au repos et qui, par ailleurs, déclenche le fonctionnement du circuit de séquençement 26 du circuit 15 par l'intermédiaire de la porte 25, la bascule 24 étant supposée avoir été mise au travail précédemment. Le circuit 26 fait fonctionner l'ensemble des multiplexeurs 12.1 à 12.X, qui commence par relier le circuit $11^1.X$ à l'appareil 13. Si le contenu de $11^1.X$ n'est pas nul, la porte OU 14 fait passer un signal non nul qui met au travail la bascule 30, par l'intermédiaire de la porte ET 29 dont l'autre entrée est activée par 25 à travers 28. La sortie Q de la bascule 30 commande l'enregistrement effectif du contenu de la mémoire 23 de $11^1.X$ dans 13 par l'intermédiaire de 12.1. A l'impulsion suivante de la base de temps 27, la bascule 30 est remise au repos et les multiplexeurs 12.1 et 12.2 connectent les circuits $11^1.(X-1)$ et $11^2.(X-1)$. Si le contenu des mémoires de ces circuits ne sont pas simultanément nuls, la porte 14 met 30 au travail et l'enregistrement se poursuit comme précédemment. La suite des phases d'enregistrement se poursuit ainsi jusqu'à ce que les multiplexeurs 12.1 à 12.X connectent les circuits $11^1.1$ à $11^X.1$. Si, dans l'une des phases, toutes les mémoires 23 d'une colonne sont vides, la porte OU 14 ne fait pas basculer la bascule 30 si bien que l'enregistrement est

inhibé et que l'imprimante du circuit 13 n'avance pas. Quand le compteur 26 a atteint le compte X, la bascule 28 est remise au repos ce qui, un instant plus tard, inhibe l'enregistrement. Le temps de bascule de 28 est assez long pour couvrir l'opération d'enregistrement des contenus des mémoires dans 13.

Par ailleurs, si dans un intervalle de temps défini par le séquenceur 4, aucun signal d'événement n'a été délivré par 2, la bascule 24 de 7 reste au repos, ce qui empêche le déclenchement du circuit 15.

On va maintenant, en se référant aux diagrammes temporels des Figs. 3a à 3g, montrer comment les événements sont comptabilisés dans les compteurs 22 des circuits $11^1.1$ à $11^1.X$. A la Fig. 3a, on a représenté les impulsions délivrées par la base de temps 3. A la Fig. 3b, on a représenté les impulsions délivrées par le séquenceur 4, ces impulsions définissant, entre autres, les origines de comptage. A la Fig. 3c, on a représenté une suite de signaux délivrés par le circuit 2, c'est à dire de signaux qui reflètent des événements appliqués, sous forme de signaux électriques, au dispositif de l'invention. La Fig. 3c montre un événement isolé 32 délivré 6 intervalles unitaires après la première impulsion 31, Fig. 3b, les intervalles unitaires étant définis par l'intervalle entre les impulsions de la Fig. 3a, puis un groupe d'événements 33, 34 et 35, délivré 200 intervalles unitaires et séparés les uns des autres par un intervalle unitaire, puis un intervalle 36 délivré 8000 intervalles unitaires après 35, et enfin un dernier événement 37 avant l'impulsion 31 suivante et délivré 13 intervalles unitaires après 36.

Quand 32 survient, le compteur 19 de DIC 5.1 n'a pas encore débordé, donc la bascule 20 est au travail ce qui entraîne le passage de 32 à travers la porte ET de 10.1 vers le compteur 22 de $11^1.1$.

Quand 33 survient, le compteur 19 de DIC 5.3 n'a pas encore débordé, alors que ceux de DIC 5.1 et 5.2 l'ont fait. Donc on a un comptage dans le compteur 22 de $11^1.3$.

Quand 34 survient, à l'intervalle unitaire suivant 33, les compteurs 19 ont été remis à zéro si bien que la bascule 20 de DIC 5.1 est à nouveau mise au travail par l'arrivée de 34 et le compteur 22 de $11^1.1$ est incrémenté. Il en est de même à l'arrivée de 35.

Quand 36 survient, le compte du compteur 22 de $11^1.4$ augmente d'une unité.

Quand 37 survient, le compte du compteur 22 de 11^1_2 augmente d'une unité.

On a donc dans les compteurs 22 de $11^1_2.1$ à $11^1_2.4$, les comptes respectifs suivants: "3", "1", "1", "1". Comme on l'a dit ci-dessus, 5 les circuits de comptage et de mémoire sont arrangés en colonnes et les compteurs 22 ont une capacité de 10, ce qui permet, par l'intermédiaire des multiplexeurs 12.1 à 12.X d'obtenir directement une écriture en décimal par colonne.

Un enregistrement par l'appareil 13 se présente donc sous la 10 forme suivante:

	0
	03
	154
15	0010
	25312
	003427
	1032470
	00000420

REVENDEICATIONS

1) Dispositif permettant d'obtenir l'histogramme des distances dans le temps entre des événements successifs caractérisé en ce qu'il comprend une base de temps (3) dont la sortie est reliée à un premier ensemble de compteurs par dix (5.1 à 5.X) qui sont chacun associés à des moyens de détection du compteur de l'état du compteur qui compte et qui n'a pas encore débordé, un ensemble correspondant de portes ET (10.1 à 10.X) avec chacune une entrée reliée à la sortie des moyens de détection correspondant des compteurs par dix (5.1 à 5.X) et l'autre entrée reliée à la source des événements (1,2), l'entrée RAZ des moyens de détection des compteurs par dix (5.1 à 5.X) étant également reliée à ladite source (1,2), à travers un circuit à retard (6), la sortie de chaque porte ET (10.1 à 10.X) étant reliée à un second ensemble de compteurs par dix ($11^1.1$ à $11^1.X$, $11^2.1$ à $11^2.X-1$, ..., $11^X.1$), chacun associé à une mémoire, un séquenceur (4) dont l'entrée est reliée à la base de temps (3) et dont la sortie est reliée aux moyens de commande de transfert (8) du contenu de chaque compteur du second ensemble ($11^1.1$ à $11^X.1$) à sa mémoire associée, des moyens de lecture (12.1 à 12.X) des contenus des mémoires vers un appareil d'enregistrement (13), un second circuit à retard (9) dont l'entrée est reliée à la sortie du séquenceur (4) et la sortie aux entrées RAZ des compteurs (5.1 à 5.X et $11^1.1$ à $11^X.1$).

2) Dispositif suivant la revendication 1, caractérisé en ce que lesdits moyens de lecture comprennent un ensemble de multiplexeurs (12.1 à 12.X) dont les entrées sont sélectivement reliées aux sorties desdites mémoires des compteurs par dix ($11^1.1$ à $11^X.1$) sous la commande d'un circuit de commande (15) comportant un circuit de séquencement dont la sortie est reliée en parallèle aux entrées de commande des multiplexeurs (12.1 à 12.X) et dont l'entrée est reliée à la sortie du second circuit à retard (9).

FIG.1

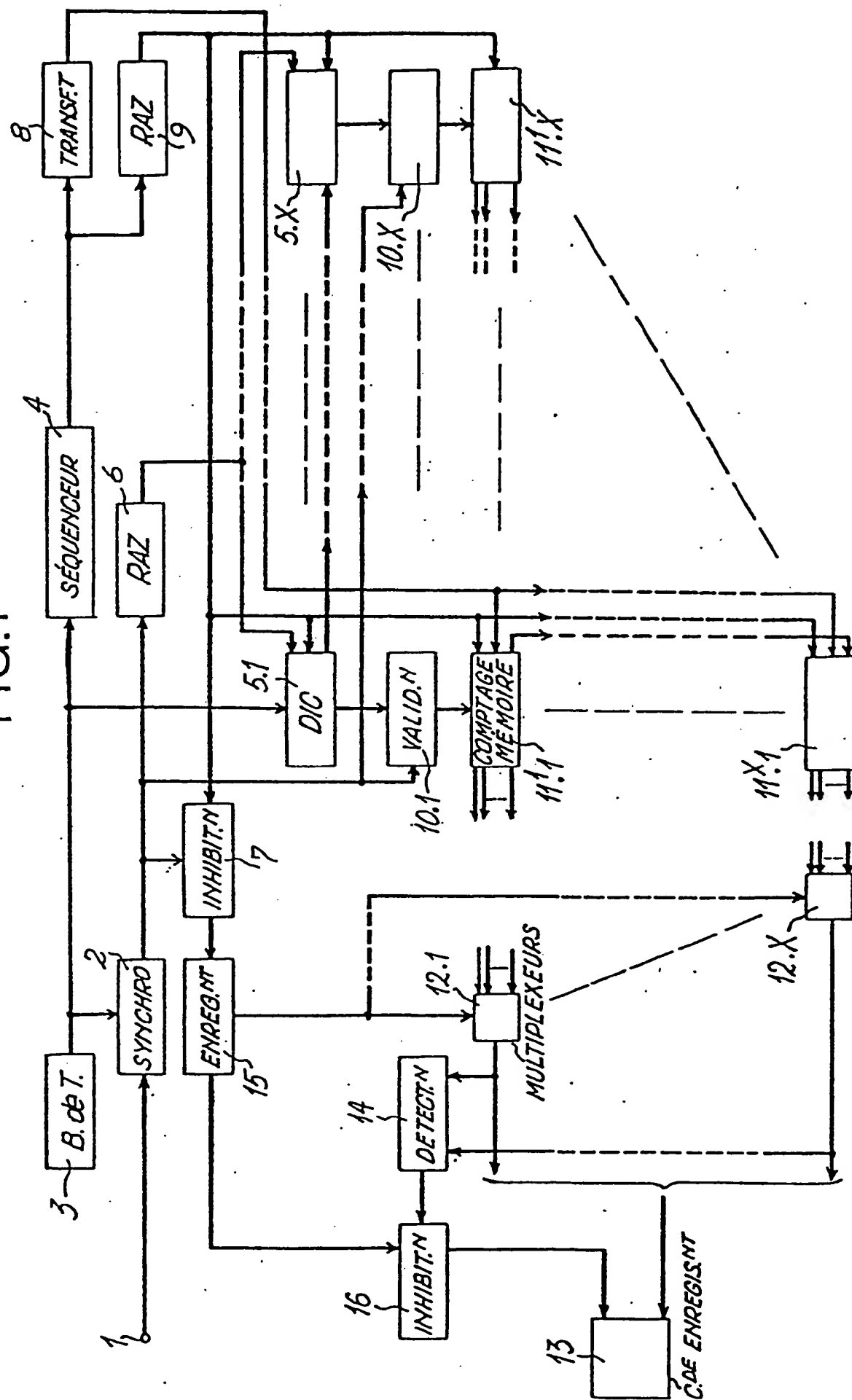


FIG.2

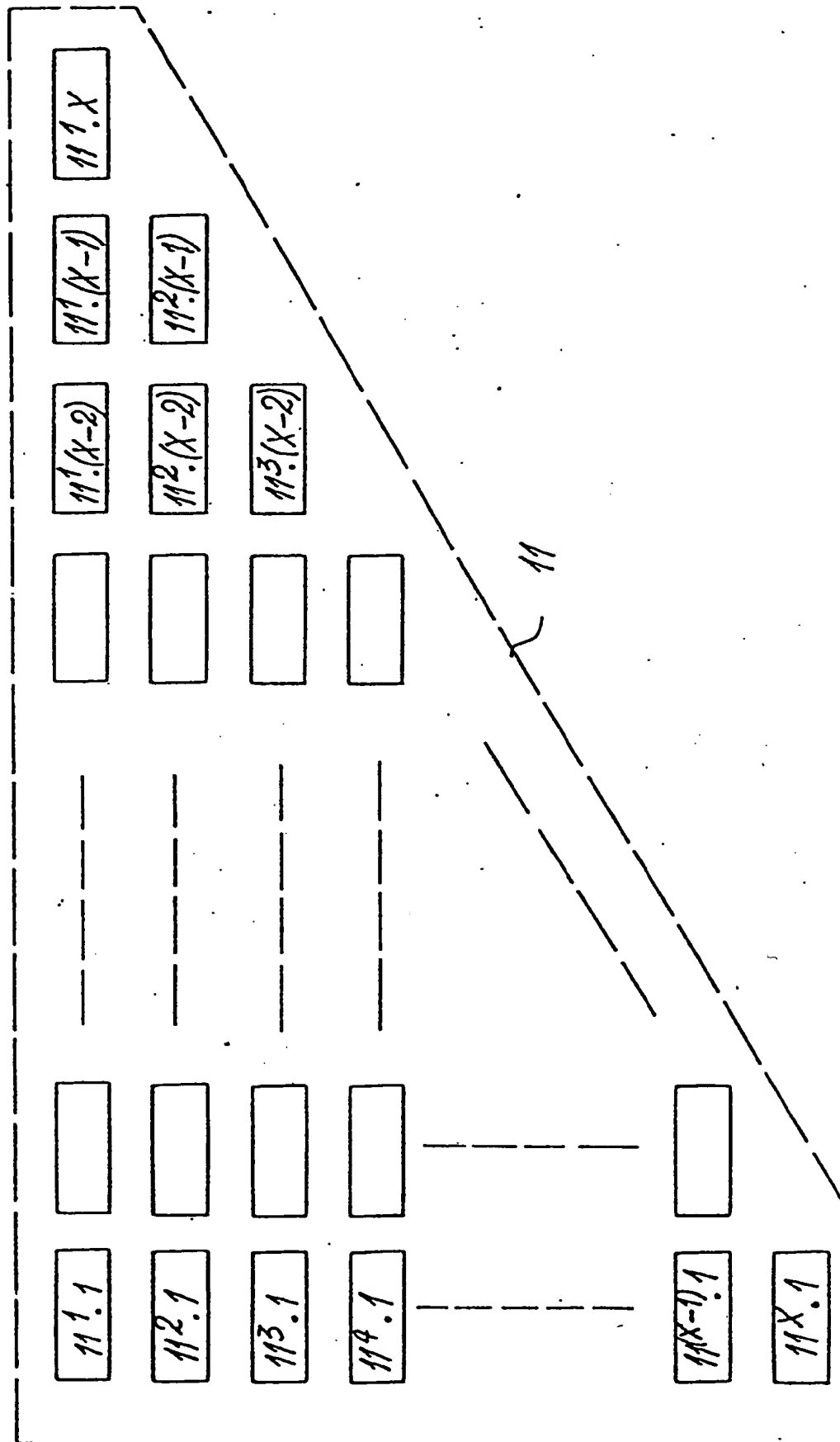


FIG.3

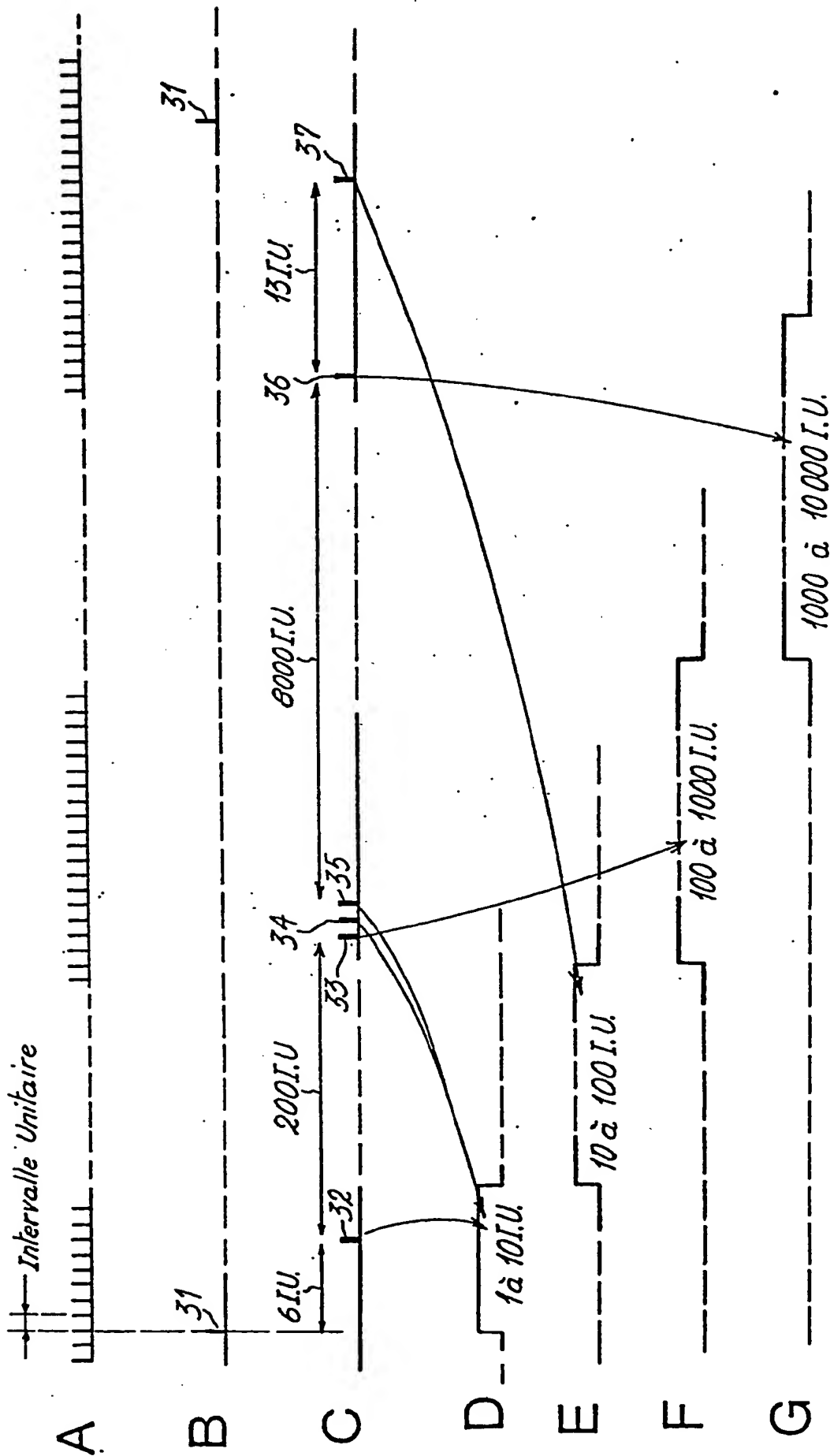


FIG.4

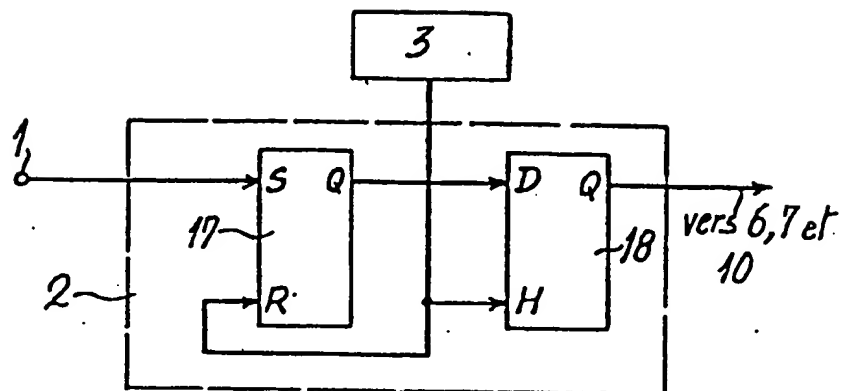


FIG.5

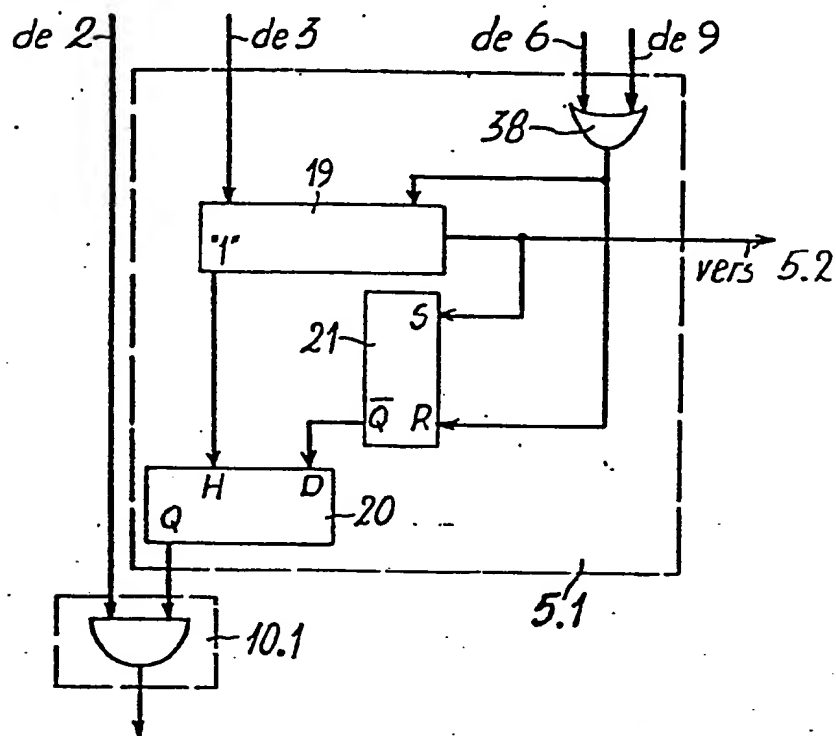


FIG.6

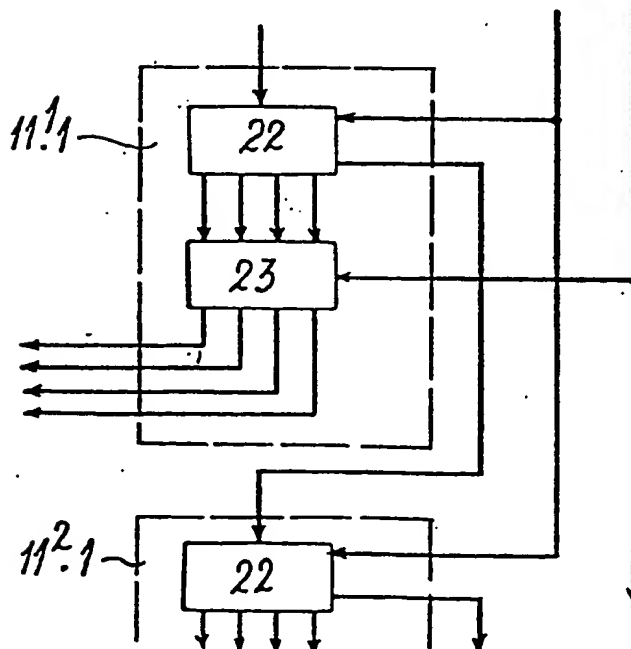
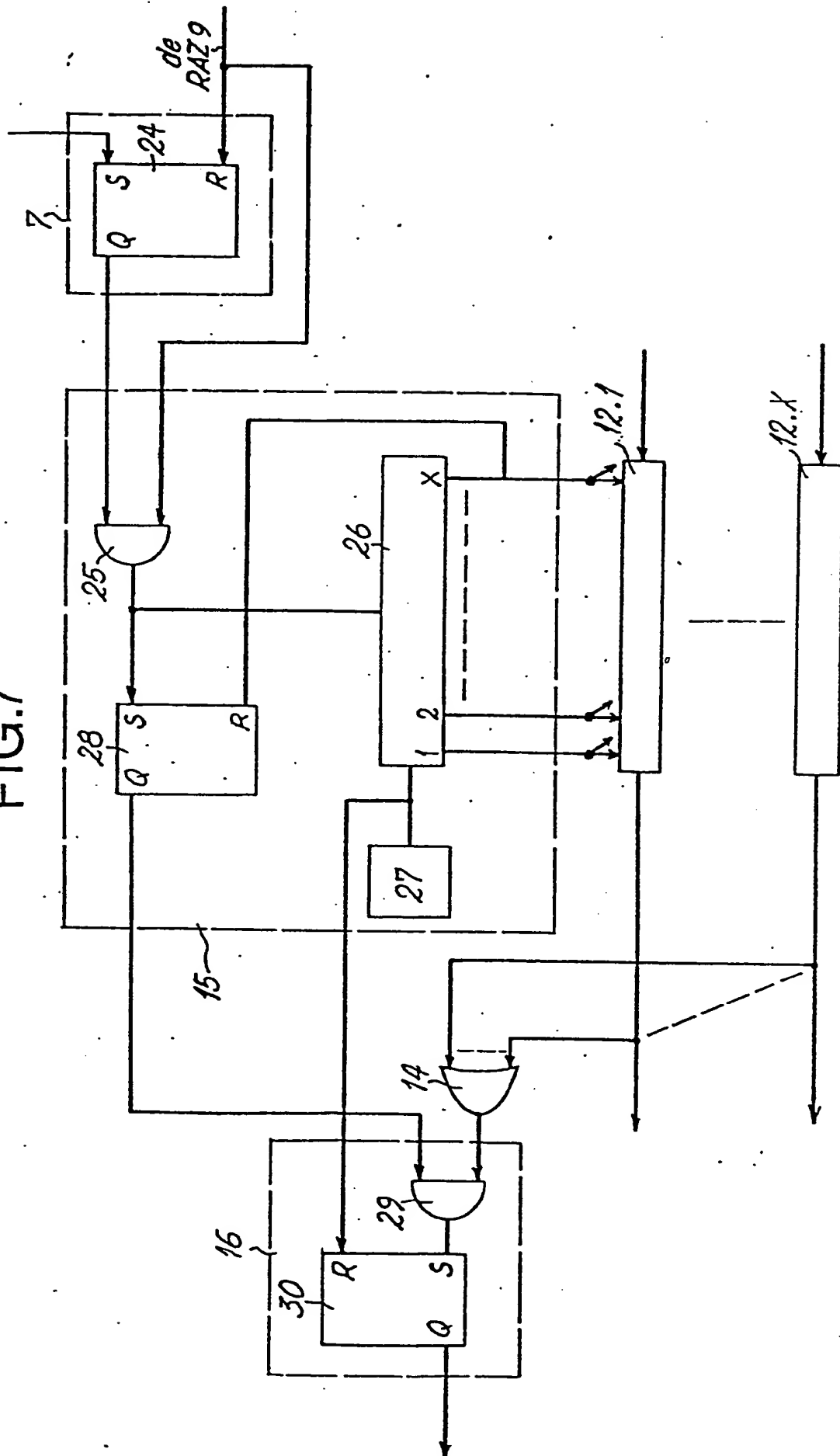


FIG. 7



DOCUMENTS CONSIDERES COMME PERTINENTS

1

1999, 2000, 2001, 2002, 2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022, 2023, 2024, 2025, 2026, 2027, 2028, 2029, 2030, 2031, 2032, 2033, 2034, 2035, 2036, 2037, 2038, 2039, 2040, 2041, 2042, 2043, 2044, 2045, 2046, 2047, 2048, 2049, 2050, 2051, 2052, 2053, 2054, 2055, 2056, 2057, 2058, 2059, 2060, 2061, 2062, 2063, 2064, 2065, 2066, 2067, 2068, 2069, 2070, 2071, 2072, 2073, 2074, 2075, 2076, 2077, 2078, 2079, 2080, 2081, 2082, 2083, 2084, 2085, 2086, 2087, 2088, 2089, 2090, 2091, 2092, 2093, 2094, 2095, 2096, 2097, 2098, 2099, 2100, 2101, 2102, 2103, 2104, 2105, 2106, 2107, 2108, 2109, 2110, 2111, 2112, 2113, 2114, 2115, 2116, 2117, 2118, 2119, 2120, 2121, 2122, 2123, 2124, 2125, 2126, 2127, 2128, 2129, 2130, 2131, 2132, 2133, 2134, 2135, 2136, 2137, 2138, 2139, 2140, 2141, 2142, 2143, 2144, 2145, 2146, 2147, 2148, 2149, 2150, 2151, 2152, 2153, 2154, 2155, 2156, 2157, 2158, 2159, 2160, 2161, 2162, 2163, 2164, 2165, 2166, 2167, 2168, 2169, 2170, 2171, 2172, 2173, 2174, 2175, 2176, 2177, 2178, 2179, 2180, 2181, 2182, 2183, 2184, 2185, 2186, 2187, 2188, 2189, 2190, 2191, 2192, 2193, 2194, 2195, 2196, 2197, 2198, 2199, 2200, 2201, 2202, 2203, 2204, 2205, 2206, 2207, 2208, 2209, 2210, 2211, 2212, 2213, 2214, 2215, 2216, 2217, 2218, 2219, 2220, 2221, 2222, 2223, 2224, 2225, 2226, 2227, 2228, 2229, 2230, 2231, 2232, 2233, 2234, 2235, 2236, 2237, 2238, 2239, 2240, 2241, 2242, 2243, 2244, 2245, 2246, 2247, 2248, 2249, 2250, 2251, 2252, 2253, 2254, 2255, 2256, 2257, 2258, 2259, 2260, 2261, 2262, 2263, 2264, 2265, 2266, 2267, 2268, 2269, 2270, 2271, 2272, 2273, 2274, 2275, 2276, 2277, 2278, 2279, 2280, 2281, 2282, 2283, 2284, 2285, 2286, 2287, 2288, 2289, 2290, 2291, 2292, 2293, 2294, 2295, 2296, 2297, 2298, 2299, 2300, 2301, 2302, 2303, 2304, 2305, 2306, 2307, 2308, 2309, 2310, 2311, 2312, 2313, 2314, 2315, 2316, 2317, 2318, 2319, 2320, 2321, 2322, 2323, 2324, 2325, 2326, 2327, 2328, 2329, 2330, 2331, 2332, 2333, 2334, 2335, 2336, 2337, 2338, 2339, 2340, 2341, 2342, 2343, 2344, 2345, 2346, 2347, 2348, 2349, 2350, 2351, 2352, 2353, 2354, 2355, 2356, 2357, 2358, 2359, 2360, 2361, 2362, 2363, 2364, 2365, 2366, 2367, 2368, 2369, 2370, 2371, 2372, 2373, 2374, 2375, 2376, 2377, 2378, 2379, 2380, 2381, 2382, 2383, 2384, 2385, 2386, 2387, 2388, 2389, 2390, 2391, 2392, 2393, 2394, 2395, 2396, 2397, 2398, 2399, 2400, 2401, 2402, 2403, 2404, 2405, 2406, 2407, 2408, 2409, 2410, 2411, 2412, 2413, 2414, 2415, 2416, 2417, 2418, 2419, 2420, 2421, 2422, 2423, 2424, 2425, 2426, 2427, 2428, 2429, 2430, 2431, 2432, 2433, 2434, 2435, 2436, 2437, 2438, 2439, 2440, 2441, 2442, 2443, 2444, 2445, 2446, 2447, 2448, 2449, 2450, 2451, 2452, 2453, 2454, 2455, 2456, 2457, 2458, 2459, 2460, 2461, 2462, 2463, 2464, 2465, 2466, 2467, 2468, 2469, 2470, 2471, 2472, 2473, 2474, 2475, 2476, 2477, 2478, 2479, 2480, 2481, 2482, 2483, 2484, 2485, 2486, 2487, 2488, 2489, 2490, 2491, 2492, 2493, 2494, 2495, 2496, 2497, 2498, 2499, 2500, 2501, 2502, 2503, 2504, 2505, 2506, 2507, 2508, 2509, 2510, 2511, 2512, 2513, 2514, 2515, 2516, 2517, 2518, 2519, 2520, 2521, 2522, 2523, 2524, 2525, 2526, 2527, 2528, 2529, 2530, 2531, 2532, 2533, 2534, 2535, 2536, 2537, 2538, 2539, 2540, 2541, 2542, 2543, 2544, 2545, 2546, 2547, 2548, 2549, 2550, 2551, 2552, 2553, 2554, 2555, 2556, 2557, 2558, 2559, 2560, 2561, 2562, 2563, 2564, 2565, 2566, 2567, 2568, 2569, 2570, 2571, 2572, 2573, 2574, 2575, 2576, 2577, 2578, 2579, 2580, 2581, 2582, 2583, 2584, 2585, 2586, 2587, 2588, 2589, 2590, 2591, 2592, 2593, 2594, 2595, 2596, 2597, 2598, 2599, 2600, 2601, 2602, 2603, 2604, 2605, 2606, 2607, 2608, 2609, 2610, 2611, 2612, 2613, 2614, 2615, 2616, 2617, 2618, 2619, 2620, 2621, 2622, 2623, 2624, 2625, 2626, 2627, 2628, 2629, 2630, 2631, 2632, 2633, 2634, 2635, 2636, 2637, 2638, 2639, 2640, 2641, 2642, 2643, 2644, 2645, 2646, 2647, 2648, 2649, 2650, 2651, 2652, 2653, 2654, 2655, 2656, 2657, 2658, 2659, 2660, 2661, 2662, 2663, 2664, 2665, 2666, 2667, 2668, 2669, 2670, 2671, 2672, 2673, 2674, 2675, 2676, 2677, 2678, 2679, 2680, 26

1.2

— —

1.2

—

1

● ● ● ●

BNSDOCID: <EP 0046110A1 | >